



UNIVERSIDAD NACIONAL DE LA MATANZA

CÓDIGO ASIGNATURA 1070

DEPARTAMENTO: *Ingeniería e Investigaciones Tecnológicas*

ASIGNATURA: Programación de Hardware Año 2014

Carga Horaria: 4 horas semanales. Régimen Cuatrimestral.

OBJETIVOS:

A través de esta asignatura, el alumno habrá adquirido los conocimientos necesarios y suficientes sobre circuitos lógicos programables y el lenguaje de programación VHDL como para estar en condiciones de:

- Implementar circuitos lógicos combinatorios y secuenciales en forma eficiente.
- Diseñar máquinas de estado y comprender las alternativas de implementación.
- Utilizar jerarquías y crear componentes reutilizables.
- Seleccionar componentes físicos para la implementación de su diseño.
- Identificar la forma de sintetizar con VHDL, y como insertar el diseño en un circuito PLD, CPLD o FPGA.
- Compilar y sintetizar diseños VHDL para dispositivos lógicos programables, utilizando las herramientas disponibles para diseño y simulación.
- Crear modelos temporales de simulación VHDL para los simuladores más populares.
- Determinar el componente más adecuado para la implementación en función de los resultados de la compilación obtenida.
- Simular el dispositivo obtenido con el programa de simulación correspondiente.

CONTENIDOS:

Unidad 1: Lenguajes descriptores de hardware. Ventajas de los lenguajes descriptores de hardware respecto al diseño tradicional. Introducción a la arquitectura de dispositivos FPGA, CPLD y PLD.

Unidad 2: Fundamentos de una descripción. Sintaxis y formatos. Palabras reservadas del lenguaje. Bibliotecas. Metodología de diseño con VHDL. Tipos de datos. Funciones y Procedimientos. Operadores y atributos. Declaración de entidad.

Unidad 3: Flujo del Diseño. Diseño de dispositivos de lógica combinatorial.

Unidad 4: Elementos de diseño basados en el comportamiento. Diseño de dispositivos de lógica secuencial. Registros, Latches y memoria implícita. Maquinas de estados. Lógica de tercer estado.



Unidad 5: Introducción al manejo del paquete ISE Xilinx. Simulación. Utilización de la plataforma didáctica desarrollada por el GILP UNLaM.

BIBLIOGRAFÍA:

- V. Pedroni. "Circuit design with VHDL", MIT Press, 2004.
E. Hwang, "Digital Logic and microprocessor design with VHDL", CL Engineering, 2005.
IEEE 1076 Standard. VHDL lenguaje reference manual. IEEE, 2002.
R. Dueck, "Digital design with CPLD applications and VHDL", Delmar, 2004.
D. Perry, "VHDL: Programming by example", Mc. Graw Hill, 2002.
C. Maxfield, "The design Warrior's guide to FPGAs", Newnes, 2004.
J. Wakerly, "Digital design: Principal and Practices", Prentice Hall, 2005.

EVALUACION:

Las metodologías de evaluación están establecidas por las normas de la Universidad cuyo marco normativo establece:

Se requiere una asistencia a clases no inferior al 75%. El incumplimiento de este requisito coloca al alumno en condición de Ausente. Las asignaturas se aprueban por régimen de promoción por exámenes parciales y recuperatorio. Habrá al menos dos evaluaciones parciales y su instancias recuperatoria. Se entenderá Ausente al alumno que no obtenga calificación alguna en dos instancias de evaluación parcial. Los exámenes parciales (y sus recuperatorios) se entenderán aprobados cuando la calificación asignada, en una escala de 0 a 10 puntos, resulte superior o igual a 7 puntos. Una asignatura se entenderá aprobada (es decir aprobada por promoción) cuando se aprueben todos los exámenes parciales (en primera instancia o por recuperatorio). La calificación asignada al examen recuperatorio (cualquiera sea el resultado) anula y reemplaza, a todos los efectos, a la obtenida en el examen parcial que se recupera. La calificación final se calculará como promedio de los exámenes parciales rendidos y aprobados. De esta manera, la calificación final para la asignatura aprobada será igual o superior a siete puntos. Los exámenes parciales calificados con 3 o menos puntos se entenderán aplazados y podrán ser recuperados.

Cuando ocurren tres aplazos en los exámenes (parciales y/o recuperatorio), se entenderá que la asignatura está aplazada y deberá ser recursada. Si la asignatura resultara con una calificación final calculada como promedio de los exámenes parciales (o sus recuperatorios) rendidos y no aplazados, de 4, 5 ó 6 puntos, se entenderá cursada y podrá ser aprobada por examen final. La calificación necesaria para aprobar el examen final será de 4 ó más puntos. La validez de la asignatura cursada será de cinco turnos consecutivos de examen final. Dichos turnos serán contados a partir del turno inmediato siguiente al período de cursado. A esos fines, la situación académica del alumno deberá quedar definida al último día hábil de la primera semana de diciembre. Extinguida la validez de cursada la asignatura deberá cursarse nuevamente.



CALENDARIO DE ACTIVIDADES

CRONOGRAMA DE ACTIVIDADES

CLASE	
1, 2, 3	Introducción a los lenguajes descriptores de hardware. Historia. Ventajas de los lenguajes descriptores de hardware respecto al diseño tradicional. Introducción a la arquitectura de dispositivos FPGA, CPLD y PLD.
4, 5, 6	Fundamentos de una descripción. Entidades, arquitecturas y bibliotecas. Metodología de diseño con VHDL. Tipos de datos. Funciones y Procedimientos. Operadores y atributos. Declaración de entidad.
7,8	Flujo del Diseño. Diseño de dispositivos de lógica combinacional.
9	Primer Parcial
10,11	Elementos de diseño basados en el comportamiento. Diseño de dispositivos de lógica secuencial. Registros, Latches y memoria implícita. Maquinas de estados. Lógica de tercer estado.
12	Introducción al manejo del paquete ISE Xilinx. Práctica sobre Plataforma Didáctica GILP
13	Simulación. Práctica sobre Plataforma Didáctica GILP.
14	Segundo Parcial
15	Evaluación Recuperatoria.
16	Entrega de notas y cierre del cuatrimestre.

Certifico que el presente programa de estudios de la asignatura PROGRAMACIÓN DE HARDWARE es el vigente para el ciclo lectivo 2014 y, guarda consistencia con los contenidos mínimos del plan de estudios y se encuentra convenientemente actualizado

Firma

Carlos E. Maidana
Aclaración

Adjunto a cargo
Cargo

12/03/2014
Fecha