

Carrera INGENIERIA EN ELECTRONICA		
Asignatura [3718]-[Lenguajes Descriptivos de Hardware]		
Trayecto: Digitales		
Año académico 2023		
Responsable / jefe de cátedra Lic. Carlos Maidana		
Carga horaria semanal 4hs	Carga horaria total 64hs	Créditos
Modalidad: Presencial		
Correlativas anteriores: [3712]		Correlativas posteriores: [3725]
Conocimientos necesarios		

Equipo docente		
Nombre	Cargo	Título
Carlos E. Maidana	Asociado	Lic. en Gestión Educativa
Edgardo Alberto Gho	Jefe de trabajos Prácticos	Ing. En Informática
Guillermo Buranits	Jefe de trabajos Prácticos	Ing. En Electrónica

Descripción de la asignatura

Esta asignatura aborda los métodos vinculados al diseño de circuitos electrónicos digitales mediante el uso de lenguajes que describen su funcionamiento, facilitando la documentación y simulación de los mismos. Además, con las herramientas de síntesis se pone en evidencia la evolución del paradigma tradicional de análisis lógico y simplificación por métodos manuales.

La aplicación de este tipo de tecnología es la actualmente usada para el desarrollo de chips digitales, permitiendo el diseño, verificación, simulación y posterior implementación física en un chip FPGA, como pasos previos al diseño final del chip de silicio.

Metodología de enseñanza

Se presenta cada unidad temática introduciendo los conceptos fundamentales, realizando analogías con ejemplos reales, que permite relacionar los contenidos de la materia con las herramientas habituales de trabajo.

Los contenidos de la asignatura se presentan de forma iterativa e incremental que le permitan al alumno, construir sus propios procedimientos para resolver una situación problemática.

Se motiva a los estudiantes en el uso de los foros de la plataforma MIEl, para la resolución de dudas tanto de conceptos teóricos como prácticos.

Objetivos de aprendizaje

A través de esta asignatura, el alumno habrá adquirido los conocimientos necesarios y suficientes sobre circuitos lógicos programables y lenguajes descriptivos de hardware para estar en condiciones de:

- Implementar circuitos lógicos combinatorios y secuenciales en forma eficiente.

- Utilizar jerarquías y crear componentes reutilizables.
- Seleccionar componentes físicos para la implementación de su diseño.
- Identificar la forma de sintetizar con lenguajes programables de hardware, y cómo embeber el diseño en un circuito FPGA.
- Compilar y sintetizar diseños en lenguajes descriptivos de hardware para dispositivos lógicos programables, utilizando las herramientas disponibles para diseño y simulación.
- Crear modelos temporales de simulación para los Entornos de Desarrollo Integrados (IDE) más populares.
- Determinar el componente más adecuado para la implementación en función de los resultados de la compilación obtenida.
- Crear archivos de estímulo (testbench) para la simulación del dispositivo diseñado.

Contenidos mínimos

Lenguajes descriptivos de hardware.
 Historia y diferencias entre PLDs, CPLDs y FPGAs.
 Macroceldas, CLBs, Slices y LUT.
 Entidades, módulos, puertos y tipos de datos.
 Uso de herramientas de desarrollo de circuitos basados en FPGA.
 Diseño e implementación de un módulo básico de lógica combinacional.
 Diseño e implementación de un módulo básico de lógica secuencial.
 Simulación (Testbench).
 IP Cores.
 Implementación y fitting.

Competencias a desarrollar

Genéricas

Desarrollo de una actitud profesional emprendedora.
 Aprendizaje continuo.
 Actuación profesional ética y responsable.
 Comunicación efectiva.
 Desempeño en equipos de trabajo
 Generación de desarrollos tecnológicos y/o innovaciones tecnológicas

Específicas

Generación de desarrollos tecnológicos y/o innovaciones tecnológicas
 Utilización de técnicas y herramientas de aplicación en la ingeniería electrónica.
 Concepción, diseño y desarrollo de proyectos de ingeniería electrónica.
 Identificación, formulación y resolución de problemas de ingeniería electrónica.
 Diseño, proyecto y cálculo de circuitos y sistemas digitales.
 Proyecto, diseño y cálculo de sistemas, equipos y dispositivos de generación, transmisión y/o procesamiento de campos y señales analógicos y digitales; circuitos integrados; hardware de sistemas de cómputo de propósito general y/o específico y el software a él asociado; hardware y software de sistemas embebidos y dispositivos lógicos programables; sistemas de automatización y control; sistemas de procesamiento y de comunicación de datos y sistemas irradiantes.

Programa analítico	
Unidad1	Lenguajes descriptivos de hardware. Historia. Ventajas de los lenguajes descriptivos de hardware respecto al diseño tradicional. Introducción a la arquitectura de dispositivos FPGA, CPLD y PLD. Macroceldas, CLBs, Slices y LUTs.
Unidad 2	Fundamentos de una descripción. Entidades, módulos y puertos. Metodología de diseño con lenguajes descriptivos de hardware. Tipos de datos. Funciones y Procedimientos. Operadores y atributos. Declaración de entidad.
Unidad 3	Flujo del Diseño. Diseño de dispositivos de lógica combinacional. Uso del IDE Xilinx Vivado. implementación de un dispositivo de lógica combinacional. Creación del Testbench para la simulación.
Unidad 4	Elementos de diseño basados en el comportamiento. Diseño de dispositivos de lógica secuencial. Registros, Latches y memoria implícita. Lógica de tercer estado.
Unidad 5	Fitting y prueba en un dispositivo físico (FPGA). IP Cores. Utilización, creación.

Planificación de actividades					
Semana	Clase	Actividad	Tipo	Duración	Unidad
Semana 1	1	Introducción a la materia. Historia de los dispositivos lógicos programables. Utilidad de los Dispositivos lógicos programables. Tipos de Dispositivos Lógicos Programables. Introducción a la arquitectura de dispositivos FPGA, CPLD y PLD. Introducción a los lenguajes descriptores de hardware. Historia.	Teórica	4 Horas	1
Semana 2	2	Estructura de un diseño HDL. Entidad - Arquitectura. Módulos. Tipos de puertos y datos. Operadores. Ejemplos de programación estructural y flujo de datos. Instanciación de componentes. Diseño de dispositivos combinacionales.	Teorico - Práctica	4 Horas	2

Semana 3	3	Diseño de dispositivos secuenciales. Parámetros. Instanciación de elementos internos. Variables. Memoria implícita. Estructuras repetitivas For - Generate. Manejo de buses.	Teorico - Práctica	4 Horas	3
Semana 4	4	Component, Package y Libraries. Introducción al entorno de desarrollo (IDE).	Teorico - Práctica	4 Horas	3
Semana 5	5	Práctica guiada de un proyecto nuevo en el IDE.	Práctica	4 Horas	3
Semana 6	6	Introducción práctica al lenguaje. Diseño de bloques funcionales simples de lógica combinacional y secuencial.	Práctica	4 Horas	3
Semana 7	7	Elementos de diseño basados en el comportamiento. Diseño de dispositivos de lógica secuencial. Registros, Latches y memoria implícita. Lógica de tercer estado.	Teorico - Práctica	4 Horas	4
Semana 8	8	Creación de archivos Testbench. Simulación. Síntesis del circuito. Fitting.	Teorico - Práctica	4 Horas	4
Semana 9	9	Primer Parcial. Clase práctica	Evaluación - Práctica	2 Horas/ 2 Horas	
Semana 10	10	Planteo del trabajo práctico final.	Teorica - Práctica	4 Horas	5
Semana 11	11	Seguimiento del proyecto.	Práctica	4 Horas	5
Semana 12	12	Seguimiento del proyecto.	Práctica	4 Horas	5
Semana 13	13	Trabajo práctico Final. Seguimiento y corrección.	Práctica	4 Horas	5
Semana 14	14	Trabajo práctico Final. Segundo Parcial (entrega de proyectos).	Evaluación	4 Horas	5
Semana 15	15	Recuperatorio	Evaluación	2 Horas	
Semana 16	16	Entrega de notas y	Otra	4 Horas	

		cierre del cuatrimestre			
--	--	-------------------------	--	--	--

Evaluación			
<p>Los alumnos serán evaluados a través de dos exámenes. El primer será un parcial del tipo escrito. El mismo constará de preguntas teóricas para el desarrollo, preguntas del tipo opción múltiple y un porcentaje no menor al 40% de ejercicios prácticos en los que el alumno debe completar datos en una grilla prearmada. Para este examen se contemplarán los contenidos de las unidades 1 a 4.</p> <p>El segundo examen es un trabajo práctico que se complementa con la defensa de un proyecto que se lleva a cabo durante la cursada. En este además de la defensa del proyecto se consideran los contenidos de la unidad 5.</p> <p>Se contempla además solo examen recuperatorio no integrador.</p>			
Primera evaluación	Semana 9	Examen escrito	2 Horas. 19:00 - 21:00
Segunda evaluación	Semana 14	Defensa Trabajo Práctico	2 Horas. 19:00 - 21:00
Recuperatorio	Semana 15	Examen escrito - Defensa TP	2 Horas. 19:00 - 21:00

Bibliografía obligatoria				
Título	Autor	Editorial	Edición	Año
Quick start guide to Verilog	BrockLaMeres	Springer	1ra	2019
Verilog Coding for logic synthesis	WengFook Lee	New Publisher	1ra	2021
Fundamentals of Digital Logic with Verilog Desing	Stephen Brown	Mc Graw Hill	3ra	2014
Fundamentals of Digital Logic with Verilog Desing	Monte Dalrymple	Circuit Cellar	1ra	2017

Bibliografía complementaria recomendada				
Título	Autor	Editorial	Edición	Año
Verilog By Example: A concise Introduction for FPGA Design	Blaine Readler	Full ARC Press	1ra	2011
Circuitdesignwith VHDL	VolneiPedroni	MIT Press	Digital	2004
Digital logic and microprocessordesing with VHDL	Enoch Hwang	CL engineering		2005
Digital desing with CPLD Applications and VHDL	Robert Dueck	Delmar		2004
VHDL: PRogrammingbyexample	Douglas Perry	Mc Graw Hill		2002
The desing warrior`s guide to FPGA	CliveMaxfield	Newnes		2004
FPGA´sInstant Access	Clive Maxfield	Newnes		2008
Digital design: Principal and Practices	John Wakerly	Prentice Hall	4ta	2005

Otros recursos obligatorios	
Nombre	

Otros recursos complementarios	
Nombre	